

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-340996

(43)Date of publication of application : 22.12.1998

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 21/8236  
H01L 27/088  
H01L 29/78

(21)Application number : 09-151109

(71)Applicant : NEC CORP

(22)Date of filing : 09.06.1997

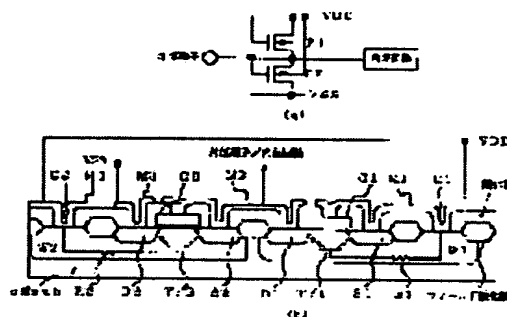
(72)Inventor : TAKAO NORIYUKI

## (54) PROTECTION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make it hard to break by static electricity, by connecting in common a drain electrode of a first P channel type transistor and a drain electrode and a gate electrode of a second P channel type MOS transistor with an outer electrode and an internal circuit.

**SOLUTION:** A PNP type parasitic transistor Tr1 is formed between the source electrode and the drain electrode of a P channel type transistor P1. A PNP type parasitic transistor Tr2 is formed between the source electrode and the drain electrode of a P channel type transistor P2. As to the two transistors P1, P2, the drain electrodes D1, D2 and the source electrodes S1, S2 are constituted of P-type semiconductor, and the N wells W1, W2 are constituted of N-type semiconductor. As a result, a P channel type transistor which is hard to break can be used instead of an N channel transistor which is liable to be broken. Thereby a protective circuit wherein a protective circuit itself is hard to be broken can be obtained.



## LEGAL STATUS

[Date of request for examination] 09.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2959528

[Date of registration] 30.07.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-340996

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

H 0 1 L 27/04  
21/822  
21/8236  
27/088  
29/78

H 0 1 L 27/04  
27/08  
29/78

M  
3 1 1 C  
3 0 1 K

審査請求 有 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平9-151109

(22) 出願日 平成9年(1997)6月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 高尾 典行

東京都港区芝五丁目7番1号 日本電気株式会社内

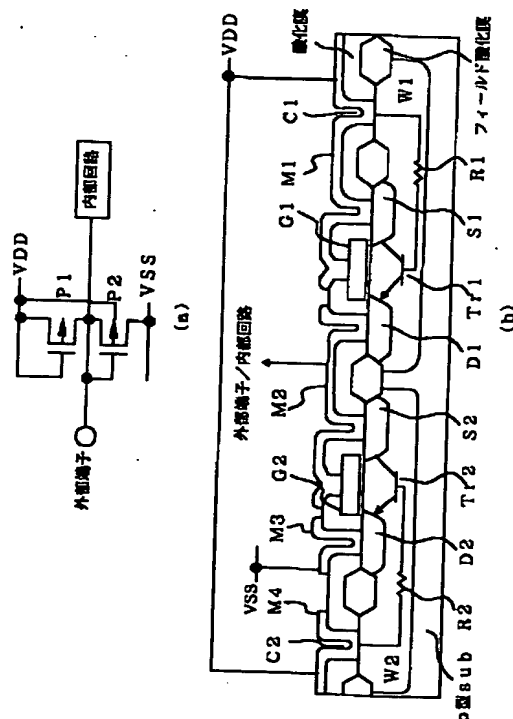
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 保護回路

(57) 【要約】

【課題】 静電気によって破壊されにくく、かつチップ面積に占める割合が小さい保護回路を提供する。

【解決手段】 複数のpチャネル型トランジスタのみの組み合わせからなる静電保護手段を有し、この保護手段がソース電極とゲート電極と基板電極とをそれぞれ高位側電源VDD端子に接続したpチャネル型MOSトランジスタP1のドレイン電極と、ドレイン電極を低位側電源VSSに基板電極を高位側電源VDDに接続したpチャネル型MOSトランジスタP2のドレイン電極およびゲート電極とを、外部端子および内部回路にそれぞれ共通接続する構成を備える。



## 【特許請求の範囲】

【請求項1】 複数のpチャネル型トランジスタのみの組み合わせからなる静電保護手段を有し、この静電保護手段がソース電極とゲート電極と基板電極とをそれぞれ高位側電源端子に接続した第1のpチャネル型トランジスタのドレイン電極と、ドレイン電極を低位側電源に前記基板電極を高位側電源に接続した第2のpチャネル型MOSトランジスタのドレイン電極およびゲート電極とを、外部端子および内部回路にそれぞれ共通接続する構成を備えることを特徴とする保護回路。

【請求項2】 前記静電保護手段を構成する前記第1および前記第2のpチャネル型トランジスタが同一nウェル領域内に形成される請求項1記載の保護回路。

【請求項3】 前記保護手段の前記同一nウェル領域内に形成される、前記第1のpチャネル型トランジスタのソース電極および前記第2のpチャネル型トランジスタのドレイン電極を同一導電層を共用して形成する請求項2記載の保護回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体回路の保護回路に係わり、特に入力端子および出力端子に接続される保護回路に関する。

## 【0002】

【従来の技術】 半導体装置における静電破壊は、半導体装置の製造工程、組立工程実使用状態などの全般にわたって注意が必要である。静電放電により、特性劣化、接合破壊、酸化膜破壊等が起こる。近年、半導体素子の微細化の進展は著しいが、この微細化により静電破壊耐量は減少するので、その防止対策はますます重要になってきている。

【0003】 もっとも一般的な静電破壊の例では、人体に帯電した静電気の放電による破壊があるが、帯電した電圧が環境により数千Vに達する場合もある。この放電により半導体素子電極の溶断、pn接合破壊、酸化膜破壊等が引き起こされることになる。

【0004】 MOS型トランジスタを用いる半導体装置では、トランジスタが絶縁されたゲート電極を有するので、静電破壊には特に弱く、静電対策が必要なる理由であり、この破壊対策の一般的な方法としては、入力端子と入力回路間に保護回路を挿入することによって、この保護回路に過電圧を吸収させている。

【0005】 保護回路は、抵抗の挿入、pnダイオード、抵抗とpnダイオードの組み合わせ、抵抗素子とMOSダイオードの組み合わせ等がある。

【0006】 上述した半導体装置におけるこの種の従来の静電保護回路の等価回路および構造の一例を示した図7(a)を参照すると、この保護回路は、ソース電極とゲート電極と基板電極とをそれぞれ高位側電源VDDに接続したpチャネル型MOSトランジスタのドレイン電

極と、ドレイン電極とゲート電極と基板電極とをそれぞれ低位側電源VSSに接続したnチャネル型MOSトランジスタN1のドレイン電極とを接続し、この接続点を外部端子および内部回路に接続する構成である。

【0007】 上述した回路構成の保護回路の断面構造を示した図7(b)を参照すると、p型基板上のnウェル領域内に形成されたpチャネル型トランジスタP1のソース電極S1とゲート電極G1とは金属配線M1により高位側電源VDD端子に接続され、さらにコンタクトC1によってnウェル領域に接続されている。

【0008】 一方、p型基板上に形成されたnチャネル型トランジスタN1のゲート電極M3とソース電極S2とは金属配線M3によって低位側電源VSS端子に接続され、さらにコンタクトC2によってP型基板に接続されている。

【0009】 pチャネル型トランジスタP1およびnチャネル型トランジスタN1のそれぞれのドレイン電極D1およびD2は金属配線M2で外部端子および内部回路に接続されている。これらの各トランジスタはフィールド酸化膜SiO<sub>2</sub>で素子分離され、各電極を含む素子表面には酸化膜が形成されその上層に形成された金属配線とは絶縁されている。

【0010】 これらのトランジスタのうち、pチャネル型トランジスタP1のソース・ドレイン電極間にはpn型の寄生トランジスタTr1が、nチャネル型トランジスタN1のソース・ドレイン電極間にはnpn型の寄生トランジスタTr2がそれぞれ形成される。

【0011】 nチャネル側の寄生トランジスタTr2のベース電位はチャンネル部ch2と導電位になるが、このベース電極とコンタクトC2までに若干の距離があるため、この間に寄生抵抗R2が生じる。

【0012】 nチャネル型トランジスタN1のドレイン電極d2には、低位側電源VSSに対して正の過電圧が加わると、n型のドレイン電極D2とp型の基板subの接合部において、なだれ降伏を起こすことになる。

【0013】 寄生抵抗R2が抵抗値ゼロではないため、チャンネル部ch2、すなわち、寄生トランジスタTr2のベース電位が上昇し、この寄生トランジスタTr2はスナックバックする。このスナックバック現象を起こすときのソース・ドレイン電極間電圧VDSとソース・ドレイン電極間電流IDSとの関係を示した後述の図2を参照すると、なだれ降伏の初期の電圧BVDDSSよりチャネル側のスナックバック後の電圧VSB<sub>N</sub>は低くなり、印加された過電圧はスナックバック後の電圧VSB<sub>N</sub>までクランプされる。pチャネル側の寄生トランジスタTr1も同様に過電圧をVSB<sub>P</sub>までクランプすることを示している。

## 【0014】

【発明が解決しようとする課題】 上述した従来の保護回路は、静電気サージ等の破壊耐圧を測定してみると、n

10

20

30

40

50

## 3

チャンネル型トランジスタがスナックバックする場合の方が、pチャンネル型トランジスタがスナックバックする場合よりも寄生トランジスタが破壊されやすいことが判っている。

【0015】すなわち、nチャンネル型トランジスタに形成される寄生トランジスタがnpnになっているため、スナックバックした後に、局所的に発熱しやすく、破壊されやすいためである。素子内部の電子はホールよりも移動度が高いため、npnトランジスタはスナックバックしやすく、トランジスタの増幅率 $hfe$ の温度依存性が大きい。そのため、電流が集中しやすく発熱も集中することになり、破壊に至ることになる。

【0016】また、保護回路として、nチャンネル型トランジスタとpチャンネル型トランジスタの両極性のトランジスタを用いているため、保護回路自身を小型化することが難しいことである。

【0017】すなわち、ドレイン電極およびソース電極の不純物が、n型とp型では異なるため共用できないからである。

【0018】本発明の目的は、上述の欠点に鑑みなされたものであり、静電気によって破壊されにくく、かつチップ面積に占める割合が小さい保護回路を提供することにある。

## 【0019】

【課題を解決するための手段】本発明の保護回路の特徴は、複数のpチャンネル型トランジスタのみの組み合わせからなる静電保護手段を有し、この静電保護手段がソース電極とゲート電極と基板電極とをそれぞれ高位側電源端子に接続した第1のpチャンネル型トランジスタのドレイン電極と、ドレイン電極を低位側電源に前記基板電極を高位側電源に接続した第2のpチャンネル型MOSトランジスタのドレイン電極およびゲート電極とを、外部端子および内部回路にそれぞれ共通接続する構成を備えることにある。

【0020】また、前記静電保護手段を構成する前記第1および前記第2のpチャンネル型トランジスタが同一nウェル領域内に形成することができる。

【0021】さらに、前記保護手段の前記同一nウェル領域内に形成される、前記第1のpチャンネル型トランジスタのソース電極および前記第2のpチャンネル型トランジスタのドレイン電極を同一導電層を共用して形成することもできる。

## 【0022】

【発明の実施の形態】まず、本発明の一実施の形態を図面を参照しながら説明する。図1(a)は本発明の保護回路の第1の実施例を示す等価回路図である。図1

(a)を参照すると、この保護回路は、ソース電極とゲート電極と基板電極とをそれぞれ高位側電源VDD端子に接続したpチャンネル型トランジスタP1のドレイン電極と、ドレイン電極を低位側電源VSSに基板電極を高

## 4

位側電源VDDに接続したpチャンネル型トランジスタP2のドレイン電極およびゲート電極とを、外部端子および内部回路にそれぞれ共通接続する構成である。

【0023】上述した回路構成の保護回路の断面構造を示した図1(b)を参照すると、p型基板p-sub上のnウェル領域内に形成されたpチャンネル型トランジスタP1のソース電極S1とゲート電極G1とは金属配線M1により高位側電源VDD端子に接続され、さらにコンタクトC1によってnウェル領域に接続されている。

【0024】同様にp型基板p-sub上のpチャンネル型トランジスタP1に隣接するnウェル領域内に形成されたpチャンネル型トランジスタp2のゲート電極G2とソース電極S2とは金属配線M2によって、pチャンネル型トランジスタP1のドレイン電極に接続され、さらに外部端子および内部回路にも共通接続され、pチャンネル型トランジスタp2のドレイン電極D2は金属配線M3により低位側電源VSSに接続され、さらにコンタクトC2によってnウェル領域に接続されている。

【0025】これらの各トランジスタはフィールド酸化膜SiO<sub>2</sub>で素子分離され、各電極を含む素子表面には酸化膜が形成されその上層に形成された金属配線とは絶縁されている。

【0026】これらのトランジスタのうち、pチャンネル型トランジスタP1のソース・ドレイン電極間にはpn型の寄生トランジスタTr1が、pチャンネル型トランジスタP2のソース・ドレイン電極間にはpnp型の寄生トランジスタTr2がそれぞれ形成される。

【0027】これら2つのトランジスタP1、P2は、それぞれドレイン電極D1、D2とソース電極S1、S2とをp型半導体とし、nウェルW1、W2をn型半導体で形成することで実現している。

【0028】次に、再び図1と、MOSトランジスタにおけるスナックバック現象を起こすときのソース・ドレイン電極間電圧VDS(X軸)とソース・ドレイン電極間電流IDS(Y軸)との関係を示した図2と、静電気が低位側電源VSSに流れる状態を説明するための等価回路図を示した図3(a)と、静電気が高位側電源VDDに流れる状態を説明するための等価回路図を示した図3(b)とを併せて参照しながらこの実施の形態の動作を説明する。

【0029】図2を参照すると、pn接合の耐圧をBV<sub>DSS</sub>とすると、pチャンネル型トランジスタのスナックバック特性はpn接合耐圧BV<sub>DSS</sub>を越えると急激に低下し破壊ポイントVSBPへ向かって遷移していく。同様にnチャンネル型トランジスタのスナックバック特性はpn接合耐圧をBV<sub>DSS</sub>を越えると急激に低下し破壊ポイントVSBNへ遷移するが、VSBPよりも少ない電流値の段階で破壊ポイントに達することが判る。

【0030】静電気等の過電圧が外部端子に印可されるものとする。その場合、電流が流れる経路としては、低

10

20

30

40

50

## 5

位側電源VSSに流れる経路と、高位側電源VDDに流れる経路の2つがある。さらに、印可される電圧の極性によっては、正極、負極の場合が考えられる。

【0031】図3(a)を参照すると、正極性の電圧が印可される場合、流れる電流経路は、外部端子→pチャネル型トランジスタP2のソース電極S2→pnp型の寄生トランジスタTr2のエミッタ電極→コレクタ電極→pチャネル型トランジスタP2のドレイン電極D2→低位側電源VSSとなる。このとき、pチャネル型トランジスタP2のpnp型の寄生トランジスタTr2が、

【0032】破壊ポイントVSBPは、常にVSBP<BVDSの係にあり、かつ、内部回路に使用されるトランジスタのゲート酸化膜の破壊電圧よりも小さく設定される。

【0033】負極性の電圧が印可される場合、流れる電流経路は、低位側電源VSS→pチャネル型トランジスタP2のドレイン電極D2→nウェル領域W2→金属配線M4→高位側電源VDD→pチャネル型トランジスタP1のソース電極S1→pnp型の寄生トランジスタTr1のエミッタ電極→コレクタ電極→pチャネル型トランジスタP1のドレイン電極D1→外部端子となる。

【0034】このとき、pチャネル型トランジスタP1の寄生トランジスタTr1が、上述したスナックバック特性を有することから、過電圧は図2の破壊ポイントVSBPでクランプされる。

【0035】図3(b)を参照すると、正極性の電圧が印可される場合、流れる電流経路は、外部端子→pチャネル型トランジスタP1のドレイン電極D1→nウェル領域W1→コンタクトc1→高位側電源VDDとなる。このとき、pチャネル型トランジスタP1のドレイン電極D1とnウェル領域W1とのpn結合が順方向となるため、クランプ電圧はpn接合の順方向電圧程度になる。

【0036】負極性の電圧が印可される場合、流れる電流経路は、高位側電源VDD→pチャネル型トランジスタP1のソース電極S1→pnp型の寄生トランジスタTr1のエミッタ電極→コレクタ電極→pチャネル型トランジスタP1のドレイン電極D1→外部端子となる。

【0037】このとき、pチャネル型トランジスタP1の寄生トランジスタTr1が、上述したスナックバック特性を有することから、過電圧は図2の破壊ポイントVSBPでクランプされる。

【0038】すなわち、寄生トランジスタをスナックバックさせて過電圧をクランプするような場合、寄生トランジスタ自身が破壊しないことが重要であることが判る。

【0039】上述したスナックバック特性から、nチャネル型トランジスタではスナックバックしてBVDSからVSBPまで電圧が低下した直後に、破壊しやすい

## 6

ことを示しているが、pチャネル型トランジスタでは、2倍以上のドレイン・ソース間電流IDSを流しても破壊しない。

【0040】このため、電流経路中に寄生トランジスタを含むような場合でも、保護回路自身が破壊することがない。

【0041】本発明においては、nチャネル型トランジスタに比べてpチャネル型トランジスタが破壊しにくいことに着眼して発明したものであるが、一般的なシリコンCMOSプロセスであれば、同様な効果を得ることができる。

【0042】そのため、図1に示すような、2つのpチャネル型トランジスタをシリコンCMOSプロセスで形成し、金属配線M1、M2、M3、M4を図1に示したように構成することで実現できる。

【0043】ただし、保護回路としての機能を得るためには、2つのpチャネル型トランジスタの破壊ポイントVSBPを内部回路の破壊電圧、あるいはなだれ降伏電圧よりも低くしておくことが重要である。

【0044】破壊ポイントVSBPのトランジスタ構造に対する依存性を示した図4を参照すると、破壊ポイントVSBPはnウェルの不純物濃度とドレイン・ソース電極の間隔で決定することができ、nウェル不純物濃度が高いほど、また、ドレイン・ソース電極の間隔が狭いほどそれぞれ小さくできることが判る。

【0045】また、破壊ポイントVSBPは低いほどその保護効果が大きくなるが、内部回路の動作電圧範囲よりも大きく選ぶことが重要である。

【0046】一方、破壊ポイントVSBPと破壊耐圧の関係を示した図5を参照すると、上述した実施の形態の効果は、破壊ポイントVSBPが小さいほど破壊耐圧は大きくなるが、内部回路単独の時の破壊電圧を超えると、保護回路の効果はなくなることを示してある。

【0047】また、従来の保護回路では、nチャネル型トランジスタの破壊ポイントVSNを小さくしたとき、内部回路よりも先に保護回路が破壊してしまうので、破壊改良の効果が少ないことが判る。

【0048】上述した実施の形態の変形例の保護回路の構造を示した図6を参照すると、p型基板p-sub上の同一nウェル領域W3内に、pチャネル型トランジスタP1およびP2がそれぞれ隣接して形成され、かつpチャネル型トランジスタP1のドレイン電極とpチャネル型トランジスタP2のソース電極は同一のp型拡散領域DSを共用するように形成され、pチャネル型トランジスタP1のソース電極S1とゲート電極G1とは金属配線M1により接続され、さらにコンタクトC1によってnウェル領域W3に接続されるとともに高位側電源VDDに接続されている。pチャネル型トランジスタP2のソース電極とpチャネル型トランジスタP1のドレイン電極とが共用するp型拡散領域DSは金属配線M2に

よってpチャネル型トランジスタP2のゲート電極に接続されると共に外部端子および内部回路にもそれぞれ接続され、pチャネル型トランジスタP2のドレイン電極D2は金属配線M3により低位側電源VSSに接続されている。

【0049】これらの各トランジスタもフィールド酸化膜SiO<sub>2</sub>でP型領域とN型領域とが素子分離され、各電極を含む素子表面は酸化膜によって金属配線とは絶縁されている。

【0050】これらのトランジスタのうち、pチャネル型トランジスタP1のソース・ドレイン電極間にはpnp型の寄生トランジスタTr1が、pチャネル型トランジスタP1のソース・ドレイン電極間にはpnp型の寄生トランジスタTr2がそれぞれ形成される。

【0051】上述したようにこの変形例は、第1の実施の形態におけるpチャネル型トランジスタP1およびP2を同一nウェル領域W3内に複合してあり、Pチャネル型トランジスタP1のソース電極とpチャネル型トランジスタP2のドレイン電極とを共用し、かつnウェル領域W3も共用するので、チップ上に占める面積が小型の保護回路を提供するものである。

【0052】この実施形態の動作は、図3(a)および図6を再び参照すると、正極性の電圧が印可される場合、流れる電流経路は、外部端子→金属配線M2→pチャネル型トランジスタP1、P2の共通電極DS→pnp型の寄生トランジスタTr2のエミッタ電極→コレクタ電極→pチャネル型トランジスタP2のドレイン電極D2→金属配線M3→低位側電源VSSとなり、この場合も前述の実施の形態同様にpチャネル型トランジスタP2の寄生トランジスタTr2により、過電圧は図2の破壊ポイントVSBPでクランプされる。

【0053】負極性の電圧が印可される場合、流れる電流経路は、低位側電源VSS→金属配線M3→pチャネル型トランジスタP2のドレイン電極D2→nウェル領域W3→コンタクトC1→pチャネル型トランジスタP1のソース電極S1→pnp型の寄生トランジスタTr1のエミッタ電極→コレクタ電極→pチャネル型トランジスタP1、P2の共通電極DS→外部端子となる。この場合もpチャネル型トランジスタP1の寄生トランジスタTr1により、過電圧は図2の破壊ポイントVSBPでクランプされる。

【0054】図3(b)および図6を再び参照すると、正極性の電圧が印可される場合、流れる電流経路は、外部端子→金属配線M2→pチャネル型トランジスタP1、P2の共通電極DS→nウェル領域W3→コンタクトC1→高位側電源VDDとなる。このとき、pチャネル型トランジスタP1、P2の共通電極DSとnウェル領域W3とのpn結合が順方向となるため、クランプ電圧はpn接合の順方向電圧程度になる。

【0055】負極性の電圧が印可される場合、流れる電

流経路は、高位側電源VDD→pチャネル型トランジスタP1のソース電極S1→pnp型の寄生トランジスタTr1のエミッタ電極→コレクタ電極→pチャネル型トランジスタP1、P2の共通電極DS→金属配線M2→外部端子となる。

【0056】このとき、pチャネル型トランジスタP1の寄生トランジスタTr1が、過電圧は図2の破壊ポイントVSBPでクランプされる。

【0057】この変形例の場合も、pチャネル型トランジスタでは、2倍以上のドレイン・ソース間電流IDSを流しても破壊しないので、電流経路中に寄生トランジスタを含むような場合でも、保護回路自身が破壊することがない。

【0058】

【発明の効果】以上説明したように、本発明の保護回路は、複数のpチャネル型トランジスタのみの組み合わせからなる静電保護手段を有し、この保護手段がソース電極とゲート電極と基板電極とをそれぞれ高位側電源VDD端子に接続したpチャネル型トランジスタP1のドレイン電極と、ドレイン電極を低位側電源VSSに基板電極を高位側電源VDDに接続したpチャネル型トランジスタP2のドレイン電極およびゲート電極とを、外部端子および内部回路にそれぞれ共通接続する構成を備えるので、破壊しやすいnチャネル型トランジスタの代わりに破壊しにくいpチャネル型トランジスタを用いることができ、保護回路自身が破壊されにくい保護回路を提供することができる。

【0059】また、複数のpチャネル型トランジスタのみの組み合わせからなる静電保護手段を同一nウェル領域内に形成するので、pチャネル型トランジスタP1のソース電極とpチャネル型トランジスタP2のドレイン電極とを共用し、かつnウェル領域W3も共用するので、チップ上に占める面積が小型の保護回路を提供することもできる。

【図面の簡単な説明】

【図1】(a)本発明の保護回路の第1の実施例を示す等価回路図である。

(b)等価回路の断面構造図である。

【図2】スナックバック現象を起こすときのソース・ドレイン電極間電圧VDS(X軸)とソース・ドレイン電極間電流IDS(Y軸)との関係を示した図である。

【図3】(a)静電気が低位側電源VSSに流れる状態を説明するための等価回路を示した図である。

(b)静電気が高位側電源VDDに流れる状態を説明するための等価回路を示した図である。

【図4】破壊ポイントVSBPのトランジスタ構造に対する依存性を示した図である。

【図5】破壊ポイントVSBPと破壊耐圧の関係を示した図である。

【図6】図1の変形例の保護回路の構造を示した図であ

る。

【図7】(a) 従来の保護回路の等価回路図である。

(b) 従来の等価回路の断面構造図である。

【符号の説明】

C1, C2 nウェルのコンタクト

D1, D2 pチャネル型トランジスタP1, P2の

ドレイン電極

G1, G2 pチャネル型トランジスタP1, P2の

ゲート電極

P1, P2 pチャネル型トランジスタ

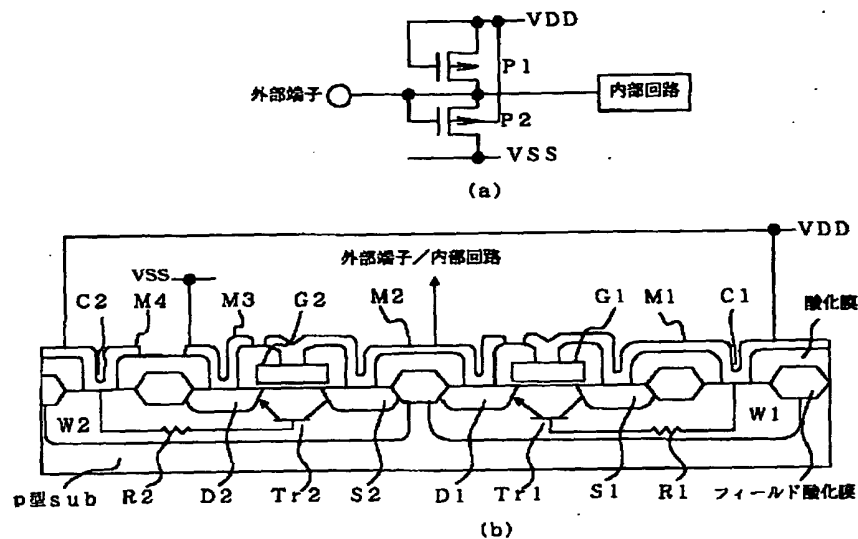
R1, R2 寄生抵抗

S1, S2 pチャネル型トランジスタP1, P2の

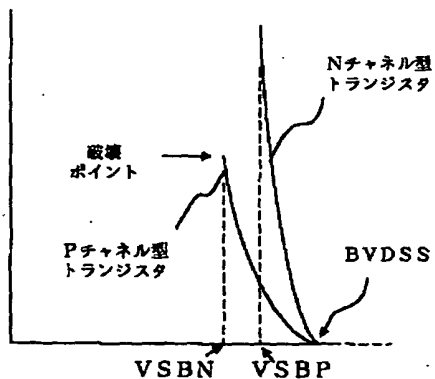
ソース電極

Tr1, Tr2 寄生トランジスタ

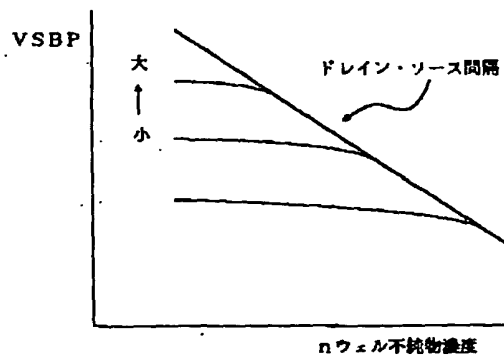
【図1】



【図2】

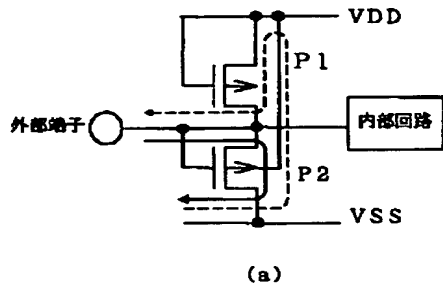


【図4】

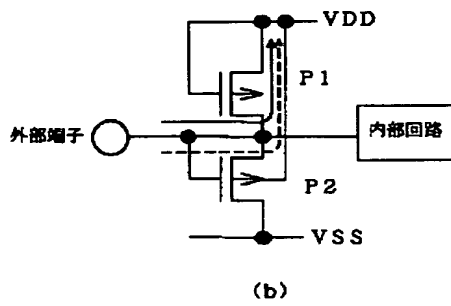
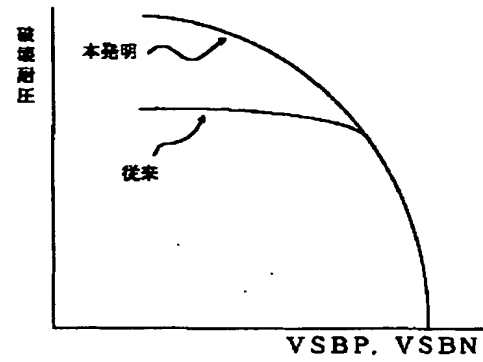




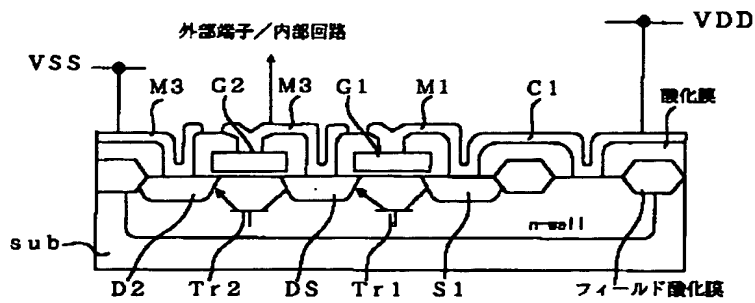
【図3】



【図5】



【図6】



【図7】

